

**(54) SEMICONDUCTOR MEMORY CELL AND MANUFACTURE THEREOF**

(11) 2-2672 (A) (43) 8.1.1990 (19) JP

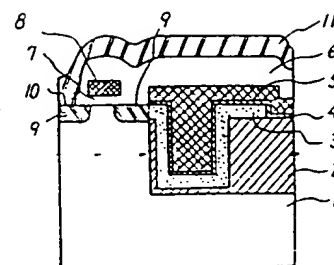
(21) Appl. No. 63-149722 (22) 17.6.1988

(71) NEC CORP (72) MASATO SAKAO

(51) Int. Cl.<sup>3</sup> H01L27/108, H01L27/04//H01L21/76

**PURPOSE:** To reduce a flat plane area required in a conventional cell circuit by continuously providing a conductive film deposited in a groove forming one electrode of a capacitor section and a semiconductor film forming part of a field effect transistor by extending the former film to the same vertical height of the latter film.

**CONSTITUTION:** The title cell comprises a semiconductor substrate 1, a field effect transistor including a semiconductor film formed on the surface of the semiconductor substrate 1 as part of constituent element thereof, and a capacitor section buried in a groove in the semiconductor substrate 1. A conductive film deposited in a groove and forming one electrode 3 of the capacitor section is formed continuously with said semiconductor film by extending the former conductor film to the same vertical height of the latter semiconductor film. For example, the capacitor section comprises a cell plate 5 buried in a groove formed in a silicon oxide film 2 on the silicon substrate 1, a charge storage electrode 3, and capacitive insulating film 4 serving to separate the cell plate from the charge storage electrode 3. Further, the charge storage electrode 3 is extended to the same vertical height of a diffusion layer 9 of the field effect transistor to make continuous the electrode 3 and the diffusion layer 9.



6: interlayer insulating film, 7: gate oxide film, 8: gate electrode, 10: contact hole, 11: bit line

## ⑫ 公開特許公報(A) 平2-2672

⑤ Int.Cl.<sup>3</sup> 識別記号 庁内整理番号 ④ 公開 平成2年(1990)1月8日  
 H 01 L 27/108  
 // H 01 L 27/04 C 7514-5F  
 21/76 L 7638-5F  
 8624-5F H 01 L 27/10 3 2 5 D  
 8624-5F M  
 審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体メモリセルとその製造方法

⑮ 特 願 昭63-149722

⑯ 出 願 昭63(1988)6月17日

⑰ 発 明 者 坂 尾 眞 人 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

半導体メモリセルとその製造方法

## 2. 特許請求の範囲

- (1) 半導体基板及び該半導体基板の表面に形成された半導体膜をその構成要素の一部とする電界効果トランジスタと、前記半導体基板の溝内に埋込まれたキャパシタ部とを有し、該キャパシタ部の一方の電極を形成する前記溝内に付された導電膜を前記半導体膜と同一の立上り高さに延設して両膜を連続させたことを特徴とする半導体メモリセル。
- (2) 単結晶半導体基板上に第一の絶縁体膜を形成する工程と、該第一の絶縁体膜に開口部を設ける工程と、該開口部を単結晶半導体で埋める工程と、該単結晶半導体を内壁の一部として有する溝を形成する工程と、前記溝の内壁を第二の絶縁体膜で覆う工程と、全面に半導体膜を堆積する工程と、前記単結晶半導体上の前記半導体膜を単結晶半導体膜化する工程とを含むことを特徴とする半導体

メモリセルの製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は大規模化に好適な1トランジスタ・1キャパシタ型半導体メモリセル及びその製造方法に関するものである。

(従来技術)

MOSダイナミックメモリは1970年の1Kビットダイナミック・ランダム・アクセスメモリの発売を出発点として、これ以後3年に4倍の割合で大規模化がなされ、そのメモリセルの面積は一世代に0.3~0.4倍に縮小されてきた。

メモリセルの縮小化に伴い解決すべき問題点としてセル容量の確保、ソフトエラー、セル間干渉、セル構造の3次元化による段差の改善がある。

これらの問題を解決する方法の一つに1985年秋第46回応用物理学学会学術講演会4a-V-8 423ページに「分層部に埋め込んだ積層型メモリーセル」と題して発表された方法がある。

この方法によれば、第3図に示すように、シリ

コン基板28に形成された溝内に電荷蓄積電極30、容量絶縁膜31、セルプレート32を含むキャパシタ部を埋め込むことによりセル面積を増大させることなく、大きな容量を確保できる。さらに溝内をフィールド酸化膜29で覆うことにより、セル・セル間の干渉を抑えるとともに、ソフトエラーに対する耐性を高められる。

〔発明が解決しようとする課題〕

しかし、このような構造においては、電荷蓄積電極30がトランジスタの拡散層35の上側に接続されているために、この電荷蓄積電極30とトランジスタ拡散層35とのコンタクト(以下、セル・コンタクトと呼ぶ)に相当する平面面積が必要となり、セル面積を縮小する上で大きな制限となっている。図中33は層間絶縁膜、34はゲート電極である。

本発明の目的は上記従来のセル・コンタクトで必要とされた平面面積を縮小できる半導体メモリセルの構造とその製造方法を提供することにある。  
〔課題を解決するための手段〕

前記目的を達成するため、本発明の半導体メモ

リセルの構造を示す断面図である。

第1図において、本発明はシリコン基板1上に電界効果トランジスタとキャパシタ部とを有している。電界効果トランジスタは、シリコン基板1に形成された拡散層9、9と、ゲート酸化膜7を介して積層されたゲート電極8を含み、ゲート電極8は層間絶縁膜6に埋め込まれ、層間絶縁膜6に積層されたビット線11がコンタクト孔10を通して拡散層9に接続されている。キャパシタ部はシリコン基板1上のシリコン酸化膜2に形成された溝内に埋め込まれたセルプレート5と、電荷蓄積電極3と、両者を隔離する容量絶縁膜4とからなり、電荷蓄積電極3を拡散層9と同一の立上り高さに延設して電極3と拡散層9とを連続させている。電荷蓄積電極3と拡散層9とは後に説明するように溝の内面を含んでウェハの全面に形成された同一膜厚の多結晶シリコン膜の部分をそれぞれに加工したものである。

第2図(a)~(d)は本発明の実施例を説明するために1トランジスタ・1キャパシタ型メモリセルの

リセルにおいては、半導体基板及び該半導体基板の表面に形成された半導体膜をその構成要素の一部とする電界効果トランジスタと、前記半導体基板の溝内に埋込まれたキャパシタ部とを有し、該キャパシタ部の一方の電極を形成する前記溝内に付された導電膜を前記半導体膜と同一の立上り高さに延設して両膜を連続させたものである。

また、本発明の半導体メモリセルの製造方法においては、単結晶半導体基板上に第一の絶縁体膜を形成する工程と、該第一の絶縁体膜に開口部を設ける工程と、該開口部を単結晶半導体で埋める工程と、該単結晶半導体を内壁の一部として有する溝を形成する工程と、前記溝の内壁を第二の絶縁体膜で覆う工程と、全面に半導体膜を堆積する工程と、前記単結晶半導体上の前記半導体膜を単結晶半導体膜化する工程とを含むものである。

〔実施例〕

以下、本発明の実施例について図面を参照して詳細に説明する。

第1図は本発明の一実施例により得られるメモ

製造工程における基板の断面構造を順を追って示した断面図である。以後説明の便のためトランジスタはnチャネル型を用いた例を示す。pチャネル型にするには一般にシリコン基板と拡散層の導電型をそれぞれnチャネルの場合と逆にすれば良い。

第2図(a)において、面方位(100) P型シリコン基板12に熱酸化によりシリコン酸化膜13を形成する。次に、第2図(b)のように、シリコン酸化膜13上にフォトリソグラフィ技術を用い、レジスト14を形成し、これをマスクとしてシリコン基板12が露出するまでエッチングを行い開口部を設ける。続いてその開口部をシードロとして、選択エピタキシャル成長法により開口部を埋め、第2図(c)に示す選択エピタキシャル層を得る。次に第2図(d)に示すようにレジスト14をマスクとして選択エピタキシャル層15と、シリコン酸化膜13と、シリコン基板12により側壁が構成される溝16をエッチングにより形成する。次いで、露出しているシリコン基板12及び選択エピタキシャル層15を熱酸化し、

第2図(d)の構造を得る。その後、溝16をレジスト14で埋め、エッチバックすることにより、第2図(e)のようにシリコン酸化膜13のうち選択エピタキシャル層15の上のシリコン酸化膜13のみを除去する。続いて、第2図(f)に示すようにウェハ全面に多結晶シリコン膜17を形成する。続いて、第2図(g)の状態において、炉アニール、レーザアニール、もしくは電子ビームアニールなどの方法を用いて選択エピタキシャル層15上の多結晶シリコン膜17のみを単結晶シリコン膜19とし、さらにフォトリソグラフィ技術とエッチング技術により多結晶シリコン膜17を第2図(h)に示す形状に形成し、次に、レジスト14をマスクとして溝内にリンもしくはヒ素を注入し、溝16の内部にある多結晶シリコン膜17に導電性をもたせてこれを電荷蓄積電極18とする。さらに、電荷蓄積電極18上を熱酸化した後、減圧CVD法により多結晶シリコン膜を堆積させ、フォトリソグラフィ技術とドライエッチング技術を用いて第2図(i)に示される容量絶縁膜20と、セルプレート21の構造を得る。その後、単結

晶シリコン膜19上に950℃酸素雰囲気中で厚さ200Åのゲート酸化膜22を形成し、さらに減圧CVD法により多結晶シリコン膜を厚さ約0.5 μm堆積した後リンを拡散し、フォトリソグラフィ技術とエッチング技術を用いてゲート電極23を形成する。次いで、自己整合的にヒ素を加速エネルギー150KeVで $5 \times 10^{14} \text{ cm}^{-2}$ 注入し拡散層24を形成した後、CVDシリコン酸化膜よりなる層間絶縁膜25を厚さ約0.5 μm堆積し、コンタクト孔26を開孔し、アルミに代表されるビット線27を形成すると第2図(j)に示すような構造のメモリセルが得られる。

本実施例によって得られるメモリセルにおいては、スイッチングトランジスタと電荷蓄積電極との接合部分すなわちセル・コンタクトが占有する平面面積が選択エピタキシャル層15の側壁酸化膜とスイッチングトランジスタのチャネル幅で決まる微小な面積となり、メモリセル面積の縮小に好適である。

以上本発明の一実施例において、第2図(d)の工程では、シリコン基板12が露出するまでエッチン

グし、溝16の深さがシリコン酸化膜13の膜厚と等しくなるようにしたが、溝16はその側壁の一部が選択エピタキシャル層で構成されていることのみが必要であり、溝16の底部はシリコン酸化膜13中であっても、シリコン基板12中であっても良い。すなわち、溝16の深さは実施例に限定されるものではない。また、本実施例においては、容量絶縁膜としてシリコンの熱酸化膜を用いるとしたが、容量値を大きくすることを主目的としてシリコン酸化膜とシリコン窒化膜のどちらか一方あるいは両方を用いて1層～3層構造としても本発明の特徴が損なわれることはない。

#### 〔発明の効果〕

以上のように本発明によれば、セル・コンタクトの平面面積はシリコン基板と電荷蓄積電極とを分離する絶縁膜の膜厚とスイッチングトランジスタのチャネル幅との積で決まるため、セル面積を大幅に縮小でき、また、セル・コンタクトは自己整合的に形成されるため、セル面積の縮小に極めて有利である。

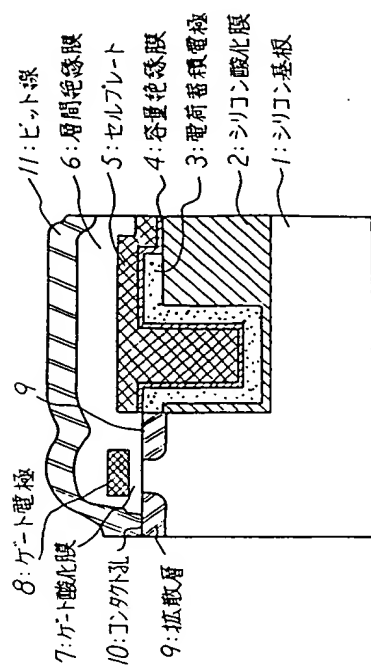
#### 4. 図面の簡単な説明

第1図は本発明の一実施例により得られるメモリセルの構造を示す断面図、第2図(a)～(j)は本発明の一実施例におけるメモリセルの製造工程を順を追って示した断面図、第3図は従来のメモリセルの構造を示す断面図である。

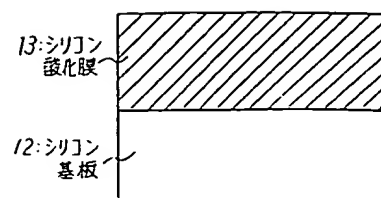
1, 12…シリコン基板	2, 13…シリコン酸化膜
3, 18…電荷蓄積電極	4, 20…容量絶縁膜
5, 21…セルプレート	6, 25…層間絶縁膜
7, 22…ゲート酸化膜	8, 23…ゲート電極
9, 24…拡散層	10, 26…コンタクト孔
11, 27…ビット線	14…レジスト
15…選択エピタキシャル層	16…溝
17…多結晶シリコン膜	19…単結晶シリコン膜

特許出願人 日本電気株式会社

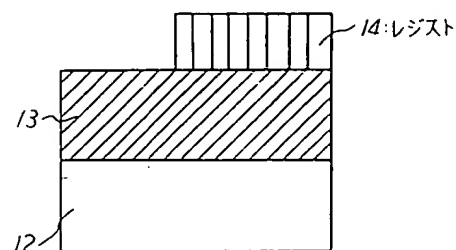
代理人 井理士 内原 晋



第 1 図

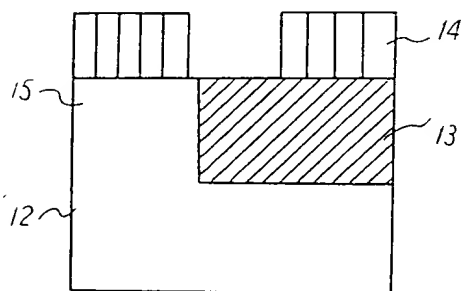


(a)

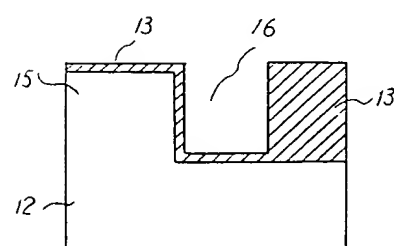


(b)

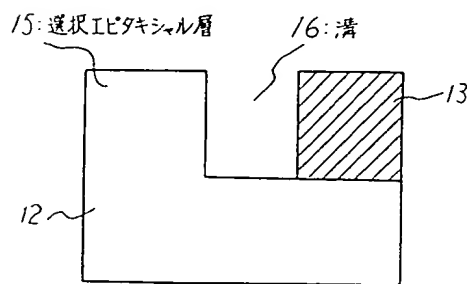
第 2 図



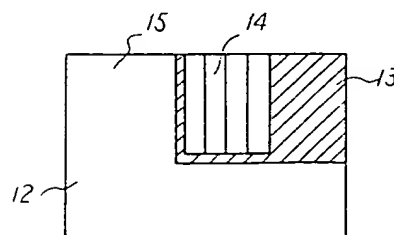
(c)



(e)



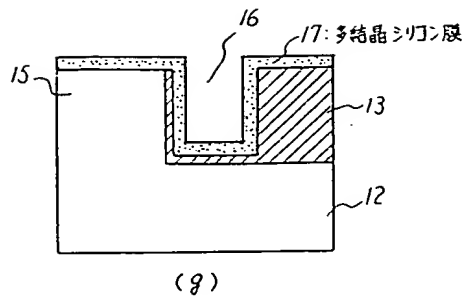
(d)



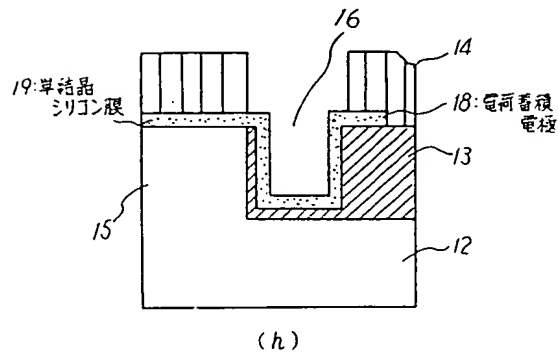
(f)

第 2 図

第 2 図

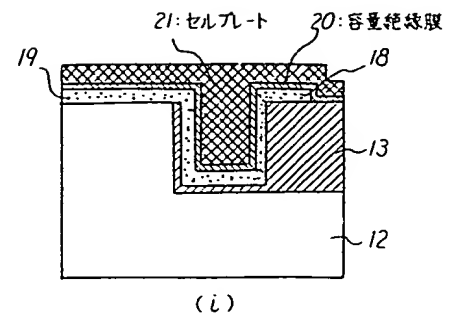


(g)

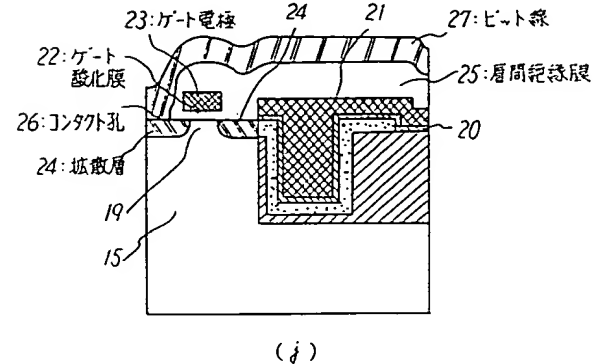


(h)

第 2 図



(i)



(j)

第 2 図

手続補正書 (自発)

平成 年 月 日  
1. 6. -9

特許庁長官 殿

通

1. 事件の表示 昭和 63年 特許願 第 149722号

2. 発明の名称

半導体メモリセルとその製造方法

3. 補正をする者

事件との関係

出願人

東京都港区芝五丁目33番1号

(423) 日本電気株式会社

代表者 関本忠弘

4. 代理人

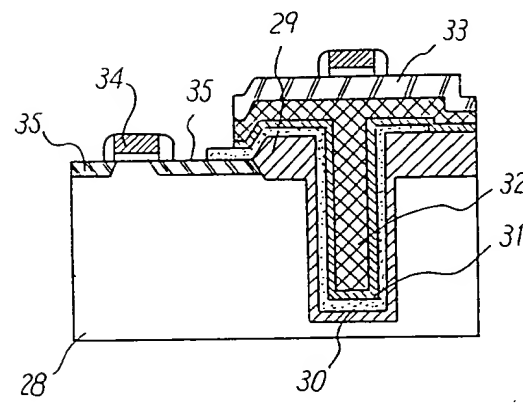
〒108 東京都港区芝五丁目37番8号 住友三田ビル

日本電気株式会社内

(6591) 井理士 内原晋 内原晋

電話 東京 (03) 456-3111 (大代表)

(連絡先 日本電気株式会社 特許部)



第 3 図

5.補正の対象

明細書の発明の詳細な説明の欄

明細書の図面の簡単な説明の欄

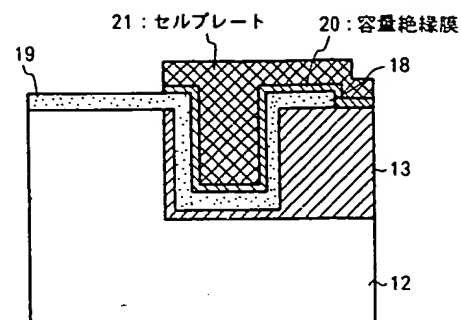
図面

6.補正の内容

- (1)明細書第5頁第5行目に「拡散層9と、」とあるのを「拡散層9と、」補正する。
- (2)明細書第7頁第7行目に「(h)の状態において、」とあるのを「(g)の状態において、」と補正する。
- (3)明細書第7頁第12行目に「第2図(i)に示す」とあるのを「第2図(h)に示す」と補正する。
- (4)明細書第7頁第19行目に「第2図(j)に示される」とあるのを「第2図(i)に示される」と補正する。
- (5)本願添付図面の第2図(i)を別紙図面のように補正する。

代理人 弁理士 内原 晋

第 2 図



(i)